



**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re the Application of

Nobuo KARAKI

Application No.: 10/797,054

Filed: March 11, 2004

Docket No.: 119068

For: SHEET COMPUTER, WEARABLE COMPUTER, DISPLAY DEVICE, FABRICATION  
METHODS, AND ELECTRONIC DEVICES THEREOF

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-075039 filed March 19, 2003 and

Japanese Patent Application No. 2003-433863 filed December 26, 2003

In support of this claim, certified copies of said original foreign applications:

☒ are filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff  
Registration No. 27,075

Thomas J. Pardini  
Registration No. 30,411

JAO:TJP/mxm

Date: August 2, 2004

OLIFF & BERRIDGE, PLC  
P.O. Box 19928  
Alexandria, Virginia 22320  
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE  
AUTHORIZATION  
Please grant any extension  
necessary for entry;  
Charge any fee due to our  
Deposit Account No. 15-0461

日本国特許庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月19日  
Date of Application:

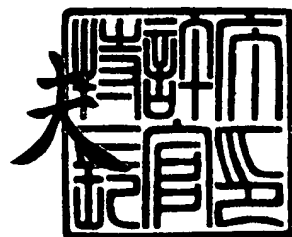
出願番号 特願2003-075039  
Application Number:  
[JP 2003-075039]  
ST. 10/C]:

願人 セイコーエプソン株式会社  
Applicant(s):

2004年 2月10日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3008387

【書類名】 特許願

【整理番号】 J0096723

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/12

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 唐木 信雄

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100079108

    【弁理士】

    【氏名又は名称】 稲葉 良幸

【選任した代理人】

    【識別番号】 100080953

    【弁理士】

    【氏名又は名称】 田中 克郎

【選任した代理人】

    【識別番号】 100093861

    【弁理士】

    【氏名又は名称】 大賀 眞司

【手数料の表示】

    【予納台帳番号】 011903

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808570

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シートコンピュータ及びディスプレイパネル並びに電子機器

【特許請求の範囲】

【請求項 1】 電子回路を基板上に搭載したシートコンピュータであって、前記電子回路は、グローバルクロックを不要とする非同期システムとして構成されている、シートコンピュータ。

【請求項 2】 ディスプレイ回路と、前記ディスプレイ回路に接続する周辺回路を同一基板上に実装したシートコンピュータであって、前記周辺回路はグローバルクロックを不要とする非同期システムとして構成されている、シートコンピュータ。

【請求項 3】 前記周辺回路は複数の回路を有し、前記複数の回路は各々ポートを備えてチャンネルを介して互いに接続しており、それぞれの前記回路毎に自律的にデータ転送を要求するポートと、他律的にデータ転送の要求を受け入れるポートとで異なる属性が付与されている、請求項 1 又は請求項 2 に記載のシートコンピュータ。

【請求項 4】 ディスプレイ回路と、前記ディスプレイ回路に接続する周辺回路を同一基板上に搭載したディスプレイパネルであって、前記周辺回路は、グローバルクロックを不要とする非同期システムとして構成されている、ディスプレイパネル。

【請求項 5】 液晶ディスプレイ回路と、前記液晶ディスプレイ回路に接続する周辺回路を同一ガラス基板上に搭載したディスプレイパネルであって、前記周辺回路は、グローバルクロックを不要とする非同期システムとして構成されている、ディスプレイパネル。

【請求項 6】 前記周辺回路は複数の回路を有し、前記複数の回路は各々ポートを備えてチャンネルを介して互いに接続しており、それぞれの前記回路毎に自律的にデータ転送を要求するポートと、他律的にデータ転送の要求を受け入れるポートとで異なる属性が付与されている、請求項 4 又は請求項 5 に記載のディスプレイパネル。

【請求項 7】 請求項 4 乃至請求項 6 のうち何れか 1 項に記載のディスプレ

イパネルを備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はシステム・オン・パネル技術に係わり、特に、ディスプレイ回路とともに基板上に実装される周辺回路の多機能化、高性能化を実現する改良技術に関する。

【0002】

【従来の技術】

液晶ディスプレイは情報・家電などの各分野において普及しているが、更なる高性能化とコストダウンに向けてシステム・オン・パネルと称される技術開発が検討されている。システム・オン・パネルとは、液晶ディスプレイと周辺回路を同一の基板上に形成する一体化技術のことであり、ディスプレイの生産工程や検査工程の短縮化によるコストダウンと高信頼性化を実現できるだけでなく、これまでにない高密度、多機能、コンパクトな応用商品の開発が可能となる。

【0003】

このシステム・オン・パネルを実現する手段として、ガラス基板上に周辺回路を形成するために、500℃以下の低温プロセスで成膜したポリシリコンTFTを用いる試みがなされている。しかし、TFT製造プロセスの微細化とチップ面積の増大に伴い、配線抵抗は益々増大するとともに、クリティカルパスは長くなるため、TFT回路のクロック遅延が大きくなる。さらに、単結晶TFTと比較すると、ポリシリコンTFTの移動度は低いため、グローバルクロックをタイミング設計の基準におく同期設計ではTFT回路の動作速度が低く抑えられてしまう。

【0004】

これは、グローバルクロックを有する従来の同期回路の動作周波数がクリティカルパスのクロック遅延に対温度変化及び対電源電圧変化のマージンを加えた時間の逆数となるためである。さらに、クロックジッターやクロックスキューも動作周波数低下の要因になる。

**【0005】**

このような問題を解決する手段として、クロックを局在化（ローカル化）する手法が考えられる。この手法では、回路全体を機能的な観点から複数のサブブロックに分割し、各々のサブブロックに専用のローカルクロックを与える。各々のサブブロックは同期回路で構成され、ローカルクロックを基準に同期動作するとともに、これらのサブブロック間是非同期的に接続する。つまり、回路全体では非同期的に動作しているが、局所的には回路は同期的に動作している。このような設計手法により、クリティカルパスの長さを大幅に短縮し、クロック遅延を低減できる。

**【0006】**

クロックの局在化に言及した特許文献としては、特表2001-516926号公報（特許文献1）、特開2001-326626号公報（特許文献2）、特開2002-14914号公報（特許文献3）などが知られている。また、同期IPの非同期的接続手段に言及した特許文献としては、特表2002-523857号公報（特許文献4）などが知られている。

**【0007】****【特許文献1】**

特表2001-516926号公報

**【特許文献2】**

特開2001-326626号公報

**【特許文献3】**

特開2002-14914号公報

**【特許文献4】**

特表2002-523857号公報

**【発明が解決しようとする課題】**

しかし、ローカルクロックはサブブロック毎に異なる位相を有するため、ローカルクロックで動作するサブブロック同士を非同期的に接続する回路設計を行うことは非常に複雑かつ困難である。システム・オン・パネルでガラス基板上に高性能の大規模回路を形成するには、クロック遅延を無視できる新たな設計手法の

開発が望まれる。また、グローバルクロックを基準に動作する従来の同期設計では消費電力量が大きいため、低消費電力を実現する回路設計が必要となる。

#### 【0008】

そこで、本発明はシステムクロックを採用することによるクロック遅延、クロックスキュー、クロックジッター等による回路動作の低速化を解消し、高速動作及び低消費電力化を可能とするシートコンピュータ及びディスプレイパネルを提供することを課題とする。

#### 【0009】

##### 【課題を解決するための手段】

上記の課題を解決するため、本発明のシートコンピュータは、電子回路を基板上に搭載したシートコンピュータであって、前記電子回路は、グローバルクロックを不要とする非同期システムとして構成されている。シートコンピュータを構成する電子回路を、グローバルクロックを不要とする非同期システムとして構成することにより、クロック遅延、クロックスキュー、クロックジッター等の問題を解消し、高速動作できるシートコンピュータを実現できる。また、電子回路はグローバルクロックを用いないため、低消費電力を実現できる。尚、前記周辺回路は複数の回路を有し、前記複数の回路は各々ポートを備えてチャネルを介して互いに接続しており、それぞれの前記回路毎に自律的にデータ転送を要求するポートと、他律的にデータ転送の要求を受け入れるポートとで異なる属性が付与されていることが好ましい。

#### 【0010】

本発明のシートコンピュータは、ディスプレイ回路と、前記ディスプレイ回路に接続する周辺回路を同一基板上に実装したシートコンピュータであって、前記周辺回路はグローバルクロックを不要とする非同期システムとして構成されている。かかる構成により、ディスプレイ回路を実装したシートコンピュータの高性能化、多機能化、低消費電力化を実現できる。

#### 【0011】

本発明のディスプレイパネルは、ディスプレイ回路と、前記ディスプレイ回路に接続する周辺回路を同一基板上に搭載したディスプレイパネルであって、前記

周辺回路は、グローバルクロックを不要とする非同期システムとして構成されている。かかる構成により、ディスプレイ回路を実装したディスプレイパネルの高性能化、多機能化、低消費電力化を実現できる。

#### 【0012】

本発明のディスプレイパネルは、液晶ディスプレイ回路と、前記液晶ディスプレイ回路に接続する周辺回路を同一ガラス基板上に搭載したディスプレイパネルであって、前記周辺回路は、グローバルクロックを不要とする非同期システムとして構成されている。かかる構成により、液晶ディスプレイ回路を実装したディスプレイパネルの高性能化、多機能化、低消費電力化を実現できる。尚、前記周辺回路は複数の回路を有し、前記複数の回路は各々ポートを備えてチャネルを介して互いに接続しており、それぞれの前記回路毎に自律的にデータ転送を要求するポートと、他律的にデータ転送の要求を受け入れるポートとで異なる属性が付与されていることが好ましい。

#### 【0013】

また、本発明は液晶ディスプレイに限らず、有機ELパネル等にも適用可能であり、例えばその他に、電気泳動素子で構成される電気泳動パネル、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子で構成される電子放出パネルなどが挙げられる。

#### 【0014】

また、本発明のディスプレイパネルを搭載した電子機器は、高性能化、多機能化、消費電力化を実現できる。ここで、「電子機器」とは、複数の素子又は回路の組み合わせにより一定の機能を奏する機器一般をいい、回路基板を一枚又は複数備えることが可能である。その構成に特に限定はないが、例えば、ICカード、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型又はフロント型のプロジェクタ、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型TV、DSP装置、PDA、電子手帳、電光掲示板、宣伝広告用ディスプレイ等が含まれる。

#### 【0015】

#### 【発明の実施の形態】

以下、各図を参照して本発明の好適な実施形態について説明する。

#### 【0016】

図5は本実施形態のシステム・オン・パネル技術を応用して作製した液晶ディスプレイ搭載のシートコンピュータ10の回路構成図である。同図に示すように、シートコンピュータ10は、主に、ガラス製のLCDパネル11上に搭載された液晶ディスプレイ20と、この液晶ディスプレイ20に表示される画像の描画処理等を行う周辺回路50を備えて構成されている。液晶ディスプレイ20はM行N列の各画素にスイッチング素子として機能するTFT21と、画素電極13を配置したアクティブマトリクス方式のLCDである。走査線ドライバ30からはM本の走査線Y1, Y2, ..., YMに走査信号が時分割走査により順次出力され、同一走査線上に並ぶ各々のTFT21をオンにする。液晶ディスプレイ20の列方向に配されたN本のデータ線X1, X2, ..., XNには各画素の階調表示に必要なデータ信号がデータ線ドライバ30から供給され、アクティブになっている走査線上の画素電極22にデータ信号が書き込まれる。画素電極22に書き込まれたデータ信号は1フィールド期間にわたってその電圧が保持され、所定の階調が得られるように液晶層の光透過率を制御する。

#### 【0017】

周辺回路50は非同期設計技術で設計された電子回路（機能回路）であり、CPU、メモリ等を含んで構成されている。これらの回路は従来では付加回路として液晶ディスプレイに接続されており、同一のガラス基板上に形成されることはなかったが、本実施形態では周辺回路50の回路設計にグローバルクロックを不要とする非同期設計技術を適用することにより、クロック遅延、クロックスキュー、クロックジッターなどの問題を解消し、高速動作を可能とする大規模回路をTFT製造プロセスによりガラス基板上に形成することを可能とした。

#### 【0018】

本明細書において、「同期設計」とは、システムの中央制御用のグローバルクロックを基準に回路動作をすることを目的とした回路設計をいい、「非同期設計」とは、グローバルクロックを用いなくて各々の最小機能回路が自律的に又は他律的に局所的な協調をとりながら分散制御を行うことを目的とした回路設計をい

うものとする。同期設計では、命令フェッチ、デコード、エグゼキューション、リード／ライト等の各オペレーションはグローバルクロックに同期して行われるため、回路動作を高速にするには、クロック遅延、クロックスキュー、クロックジッターなどの問題が生じるが、非同期設計では、最小機能回路同士が相互にハンドシェイクを通じて自律的に又は他律的に動作するため、このような問題は生じない。

#### 【0 0 1 9】

非同期設計においては、最小機能回路はイベント駆動によって制御され、自律的に動作する必要があると判断した場合と、他律的に動作する必要があると判断した場合にのみ動作する。つまり、各々の最小機能回路は他の最小機能回路とは独立して並列動作が可能であり、他の最小機能回路の処理が完了するまでウェイティングする必要がある。最小機能回路は所望の処理を実行する準備が完了した段階で処理を進めることができる。本明細書では、さらに、非同期設計により回路設計されたシステムを「非同期システム」と称する。非同期システムでは、システムクロックを用いないため、待機時の消費電力は極めて少なく、レイテンシの少ない高速動作が可能となる。

#### 【0 0 2 0】

図 1 は本実施形態の非同期システムにおけるプロセス間通信の説明図である。本明細書においては、非同期システムを構成する最小機能回路を「プロセス」と称する。各々のプロセスは「チャネル」を通じて他のプロセスと接続し、局所的な協調の下、自律的に又は他律的にイベント駆動を行う。チャネルはその両端において、「ポート」と接続する。同図に示す例では、プロセス A はポート a 1, a 2, a 3 を具備し、プロセス B はポート b 1, b 2 を具備している。プロセス A とプロセス B はポート a 1 とポート b 1 において、チャネルを介して接続している。

#### 【0 0 2 1】

図 2 は上述したプロセスのポート間通信の説明図である。プロセスは自律的に又は他律的に動作するため、全てのポートには Active\_又は Passive\_の属性が付与される。ここでは、プロセス A がプロセス B にデータ転送を要求する場合を示

している。自律的にデータ転送を要求するプロセス A のポート a 1 には Send Active\_ の属性が付与され、他律的にデータ転送の要求を受け入れるプロセス B のポート b 1 には Receive Passive\_ の属性が付与されている。もとより、プロセス A がプロセス B から自律的にデータ転送を要求する場合は、ポート a 1 には Receive Active\_ の属性が付与され、他律的にデータ転送を行うプロセス B のポート b 1 には Send Passive\_ の属性が付与される。ポート間通信においては、req/ack 信号を送受信することにより、ハンドシェイクが行われる。

### 【 0 0 2 2 】

図 4 はポート間通信におけるハンドシェイクの説明図である。ここで、同図 (A) は 2 相式 (Non Return to Zero) のハンドシェイクを示しており、信号の立ち上がりエッジ又は立下りエッジで req/ack 信号を送受信する。例えば、上述の例で、ポート a 1 からポート b 1 に req 信号を送信するには、req 信号を L レベルから H レベルに立ち上げ、又は H レベルから L レベルに立ち下げる。ポート b 1 は req 信号の立ち上がりエッジ又は立ち下がりエッジを検出することにより、ポート a 1 からポート b 1 に向けて req 信号が送信されたことを検知する。ポート b 1 がポート a 1 へ ack 信号を返信するには、ack 信号のレベルを L レベルから H レベルに立ち上げ、又は H レベルから L レベルに立ち下げればよい。これにより、ハンドシェイクが完了する。

### 【 0 0 2 3 】

一方、同図 (B) は 4 相式 (Return to Zero) のハンドシェイクを示しており、信号レベルで req/ack 信号を送受信する。例えば、上述の例で、ポート a 1 からポート b 1 に req 信号を送信するには、req 信号を L レベルから H レベルに立ち上げればよい。ポート b 1 は req 信号が H レベルに遷移したことを検知すると、req 信号が送信されたことを検知する。ポート b 1 がポート a 1 へ ack 信号を返信するには、ack 信号のレベルを L レベルから H レベルに立ち上げればよい。ack 信号のレベルが H レベルに遷移したことを確認したポート a 1 は req 信号のレベルを H レベルから L レベルに立ち下げる。req 信号のレベルが H レベルから L レベルに遷移したことを確認したポート b 1 は ack 信号のレベルを H レベルから L レベルに立ち下げ、ハンドシェイクが完了する。

## 【 0 0 2 4 】

図 3 は非同期システムにおける他律的クロッキングを排除するための回路構成を中心とするブロック図である。プロセス間通信を行う各々のポートは、信号を 2 線式エンコーディング／デコーディングするためのエンコーダとデコーダを備えている。ここでは、ポート a 1 からポート b 1 にデータ転送する場合を想定しているため、説明の便宜上、ポート a 1 はエンコーダ 6 1 を含み、ポート b 1 はデコーダ 6 2 を含むものとする。また、説明の簡略化のため、データチャネルのビット数は 4 ビットとする。4 ビットデータ D 0 ～ D 3 はエンコーダ 6 1 にてエンコードされ、デコーダ 6 2 にて 4 ビットデータ D 0 ～ D 3 にデコードされる。但し、デコード結果の 4 ビットデータ D 0 ～ D 3 は説明の便宜上図示していない。ポート b 1 が受信した各ビットデータの受信完了信号 C 0 ～ C 3 はマラー C 素子 (Muller C-element) 7 0 に入力される。マラー C 素子 7 0 は各動作の完了を示す受信完了信号 C 0 ～ C 3 を受信して、処理に必要なデータが準備できた段階で初めて各回路が動作を始めるように制御するランデブー回路である。個々のプロセスの処理時間には固有の時間的な遅れが存在するため、マラー C 素子 7 0 を設けることによって、進行中の全てのプロセスが終了するまでは次の動作を始めないように待機する仕組みになっている。

## 【 0 0 2 5 】

図 6 は本発明のディスプレイパネルを適用した電子機器の例を示す図である。同図 (a) は携帯電話への適用例であり、携帯電話 2 3 0 は、アンテナ部 2 3 1、音声出力部 2 3 2、音声入力部 2 3 3、操作部 2 3 4、ディスプレイパネル 1 0 0 を備えている。同図 (b) はビデオカメラへの適用例であり、ビデオカメラ 2 4 0 は、受像部 2 4 1、操作部 2 4 2、音声入力部 2 4 3、ディスプレイパネル 1 0 0 を備えている。同図 (c) は携帯型パーソナルコンピュータへの適用例であり、コンピュータ 2 5 0 は、カメラ部 2 5 1、操作部 2 5 2、ディスプレイパネル 1 0 0 を備えている。同図 (d) はヘッドマウントディスプレイへの適用例であり、ヘッドマウントディスプレイ 2 6 0 は、バンド 2 6 1、光学系収納部 2 6 2、ディスプレイパネル 1 0 0 を備えている。同図 (e) はリア型プロジェクタへの適用例であり、プロジェクタ 2 7 0 は、筐体 2 7 1 に、光源 2 7 2、合

成光学系 273、ミラー 274、ミラー 275、スクリーン 276、ディスプレイパネル 100 を備えている。同図 (f) はフロント型プロジェクタへの適用例であり、プロジェクタ 280 は、筐体 282 に光学系 281、ディスプレイパネル 100 を備え、画像をスクリーン 283 に表示可能になっている。これらのディスプレイパネル 100 は何れも上述のシステム・オン・パネル技術を用いてディスプレイ回路と周辺回路を同一基板上に実装したパネルである。周辺回路は非同期システムとして構成されている。

### 【0026】

以上、説明したように本実施形態によれば、非同期設計技術を用いて周辺回路 50 を形成したため、クロック遅延、クロックスキュー、クロックジッター等の問題を解消し、高速動作できる大規模回路を LCD パネル 11 上に搭載することを可能とした。これにより、LCD パネル 11 上に各種の機能回路を搭載することが可能となり、LCD パネル 11 の多機能化、高性能化を実現することができる。また、周辺回路 50 はシステムクロックが不要であるため、低消費電力化を実現することができる。

### 【図面の簡単な説明】

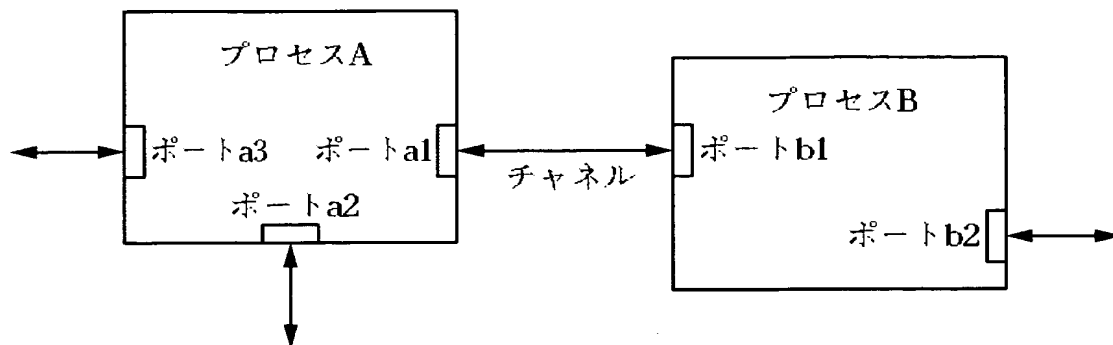
- 【図 1】 非同期システムのプロセス間通信の説明図である。
- 【図 2】 プロセスのポート間通信の説明図である。
- 【図 3】 他律的クロッキングを排除するための回路構成図である。
- 【図 4】 ポート間通信のハンドシェイクの説明図である。
- 【図 5】 シートコンピュータの平面図である。
- 【図 6】 本発明のディスプレイパネルを適用した電子機器の図である。

### 【符号の説明】

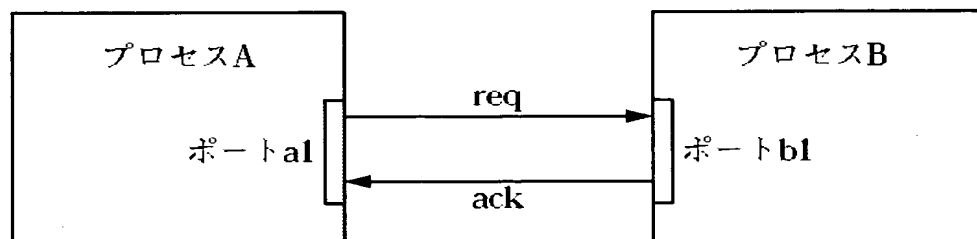
10…シートコンピュータ    11…LCD パネル    20…液晶ディスプレイ    50…周辺回路

【書類名】 図面

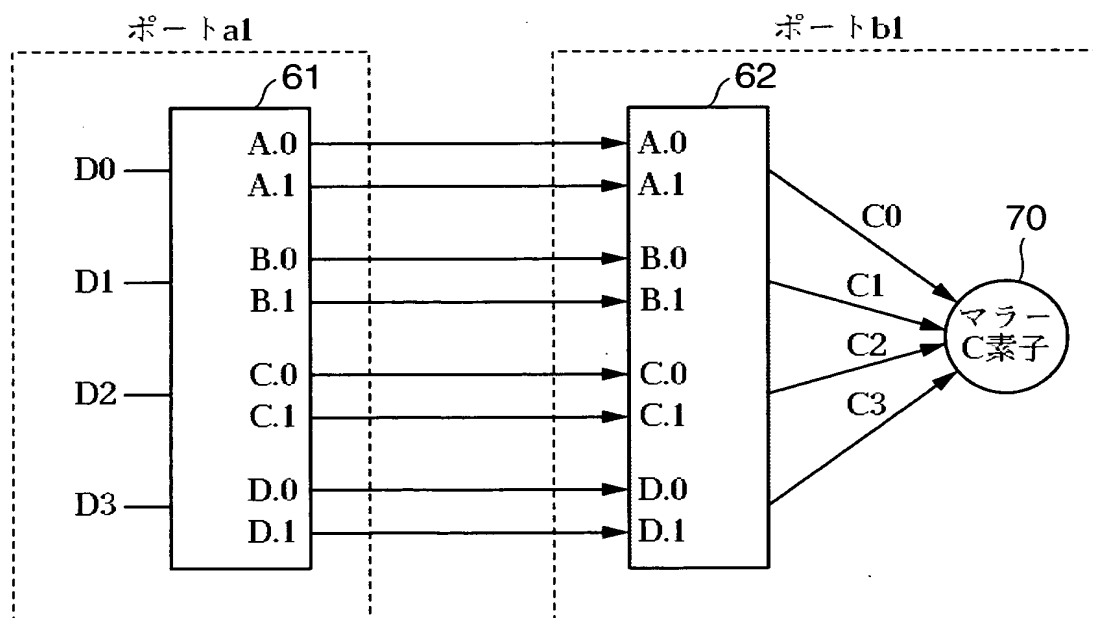
【図1】



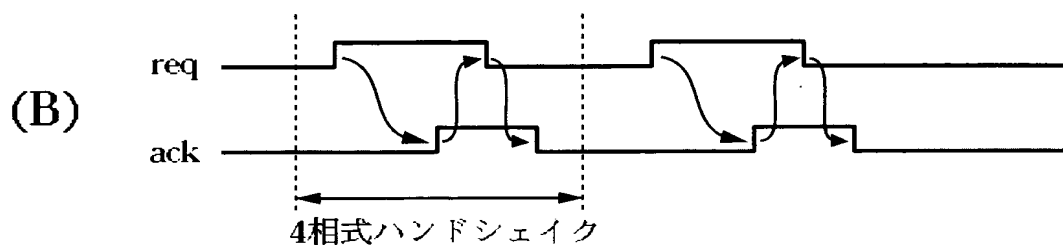
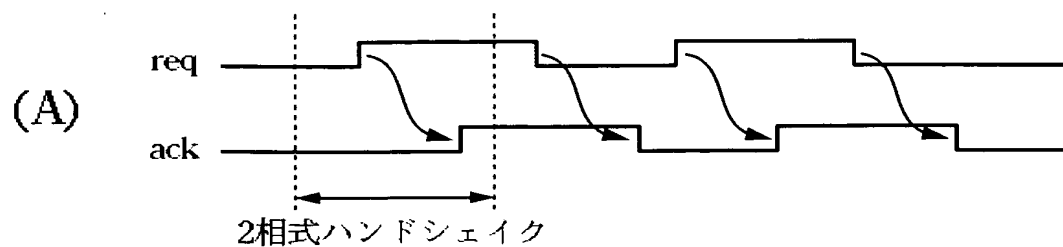
【図2】



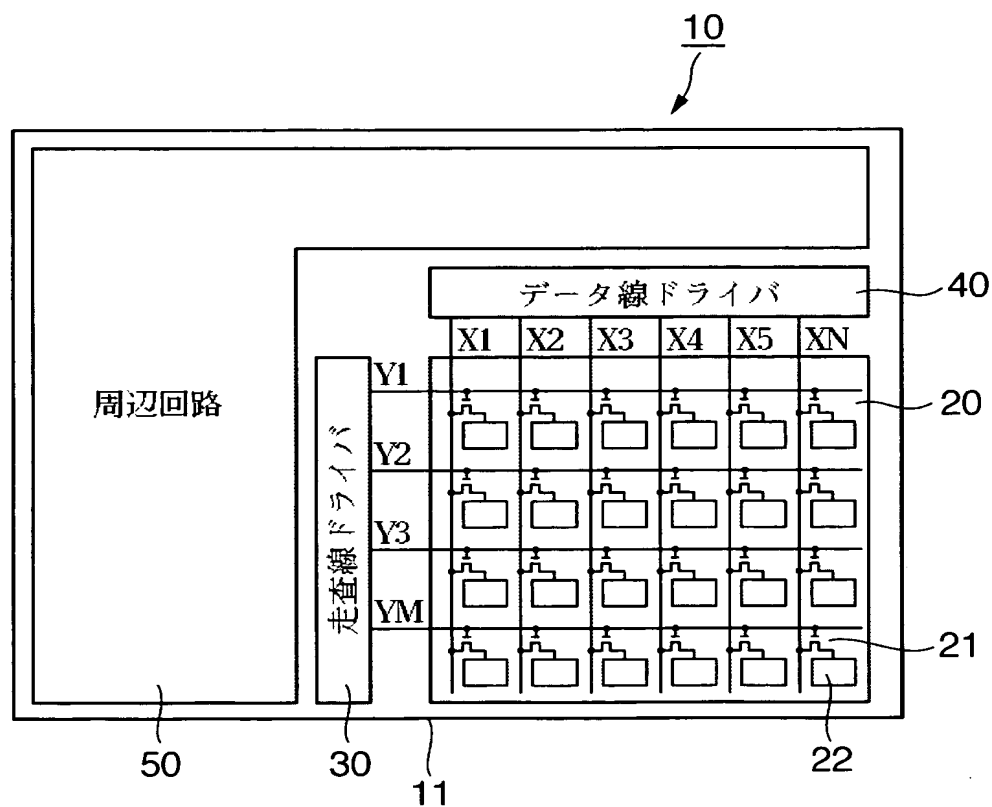
【図3】



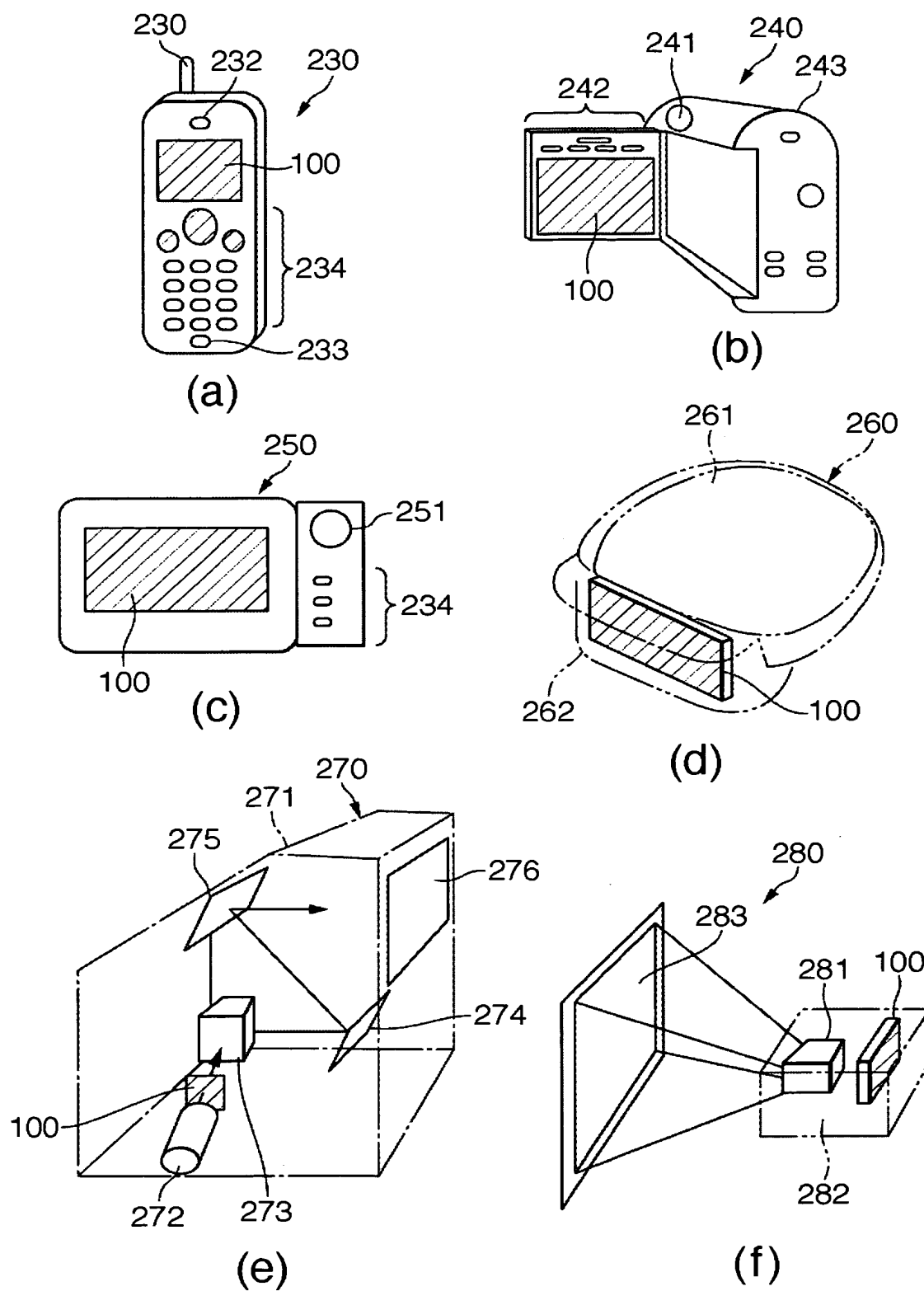
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 システムクロックのクロック遅延による動作速度の低下を解消し、高速動作可能なシートコンピュータを提案する。

【解決手段】 本発明のシートコンピュータは、ディスプレイ回路と、前記ディスプレイ回路に接続する周辺回路を同一基板上に実装したものであり、前記周辺回路はグローバルクロックを不要とする非同期システムとして構成されている。非同期システムにおいては、最小機能回路であるプロセス同士がチャンネルを通じて相互にハンドシェイクを行い、自律的に又は他律的にイベント駆動する。非同期システムでは、グローバルクロックを用いないため、動作速度の高速化、低消費電力化を実現できる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 7 5 0 3 9
受付番号	5 0 3 0 0 4 4 6 9 8 9
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 3 月 2 0 日

< 認定情報・付加情報 >

【提出日】 平成15年 3月19日

次頁無

特願 2 0 0 3 - 0 7 5 0 3 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社